

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-217821  
 (43) Date of publication of application : 27.08.1993

(51) Int.Cl.  
 H01L 21/02  
 H01L 21/306  
 H01L 21/324  
 H01L 27/12  
 // H01L 21/304  
 H01L 21/76

(21) Application number : 04-016523  
 (22) Date of filing : 31.01.1992

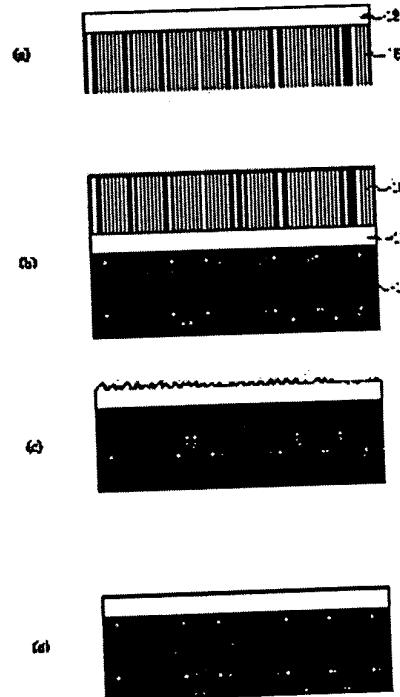
(71) Applicant : CANON INC  
 (72) Inventor : SATO NOBUHIKO  
 YONEHARA TAKAO

## (54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

### (57) Abstract:

**PURPOSE:** To provide a working method of a semiconductor substrate wherein its productivity; its uniformity, its controllability and its cost are excellent when Si whose crystallinity and surface flatness are as excellent as those of a single-crystal wafer is obtained on an insulating layer.

**CONSTITUTION:** The manufacturing method of a semiconductor substrate is provided with the following: a process wherein a silicon substrate is made porous; a process wherein a non-porous silicon single-crystal layer 12 is formed on the porous substrate and a first substrate is formed; a process wherein, after the surface of the non-porous silicon single-crystal layer has been pasted on a second substrate 13 via an insulating layer, a silicon substrate 15 which has been made porous is immersed in a chemical etching solution and porous Si is removed; and a process wherein a heat treatment is executed in a reducing atmosphere at a temperature which is lower than the melting point of single-crystal silicon.



### LEGAL STATUS

[Date of request for examination] 26.02.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2994837

[Date of registration]

22.10.1999

Searching PAJ

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

JPA 5-217821

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-217821

(43)公開日 平成5年(1993)8月27日

| (51)Int.Cl. <sup>5</sup> | 識別記号  | 序内整理番号    | F I | 技術表示箇所 |
|--------------------------|-------|-----------|-----|--------|
| H 01 L 21/02             | B     | 8518-4M   |     |        |
| 21/306                   | B     | 7342-4M   |     |        |
| 21/324                   | Z     | 8617-4M   |     |        |
| 27/12                    | Z     | 8728-4M   |     |        |
| // H 01 L 21/304         | 3 2 1 | M 8728-4M |     |        |

審査請求 未請求 請求項の数20(全12頁) 最終頁に続く

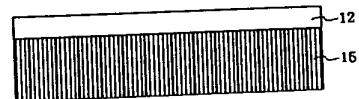
|          |                 |         |  |
|----------|-----------------|---------|--|
| (21)出願番号 | 特願平4-16523      | (71)出願人 | 000001007<br>キヤノン株式会社<br>東京都大田区下丸子3丁目30番2号 |
| (22)出願日  | 平成4年(1992)1月31日 | (72)発明者 | 佐藤 信彦<br>東京都大田区下丸子3丁目30番2号キヤノン株式会社内        |
|          |                 | (72)発明者 | 米原 隆夫<br>東京都大田区下丸子3丁目30番2号キヤノン株式会社内        |
|          |                 | (74)代理人 | 弁理士 丸島 儀一                                  |

(54)【発明の名称】 半導体基板の作製方法

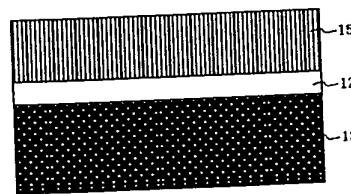
(57)【要約】 (修正有)

【目的】 絶縁層上に結晶性、表面平坦性が単結晶ウエーハー並に優れたSiを得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の加工方法を提案する。

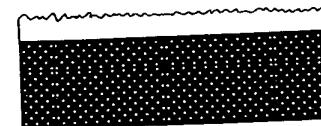
【構成】 シリコン基板を多孔質化する工程、該多孔質化上に非多孔質シリコン単結晶層12を形成して第1の基板を形成する工程、該非多孔質シリコン単結晶層表面を、絶縁層を介して第2の基板13に貼り合わせた後、該多孔質化したシリコン基板15を化学エッティング液に浸すことによって、多孔質Siを除去する工程と、単結晶シリコンの融点より低い温度の還元性雰囲気中で熱処理する工程とを有することを特徴とする半導体基板の作製方法。



(a)



(b)



(c)



(d)

## 【特許請求の範囲】

【請求項 1】 シリコン基板を多孔質化する工程、該多孔質上に非多孔質シリコン単結晶層を形成して第1の基板を形成する工程、該非多孔質シリコン単結晶層表面を、絶縁層を介して第2の基板に貼り合わせた後、該多孔質化したシリコン基板を化学エッティング液に浸すことによって、多孔質Siを除去する工程と、単結晶シリコンの融点より低い温度の還元性雰囲気中で熱処理する工程とを有することを特徴とする半導体基板の作製方法。

【請求項 2】 前記還元性雰囲気は、水素雰囲気である 10 請求項1に記載の半導体基板の作製方法。

【請求項 3】 前記還元性雰囲気中での熱処理は、大気圧以下の圧力で実施する請求項1～2に記載の半導体基板の作製方法。

【請求項 4】 前記第1の基板は、シリコン基板を多孔質化する工程、該多孔質上に非多孔質シリコン単結晶層を形成する工程により、形成する請求項1～3に記載の半導体基板の作製方法。

【請求項 5】 前記第1の基板は、一方の面側をN型にしたシリコン基板の他方の面側を多孔質化する工程により形成する請求項1～3に記載の半導体基板の作製方法。 20

【請求項 6】 前記他方の面側がP型にされている請求項5に記載の半導体基板の作製方法。

【請求項 7】 前記N型とされた領域の厚さが50ミクロン以下である請求項5に記載の半導体基板の作製方法。

【請求項 8】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項5に記載の半導体基板の作製方法。 30

【請求項 9】 前記非多孔質シリコン単結晶層の表面に形成する絶縁物層は、酸化シリコン層である請求項1～8に記載の半導体基板の作製方法。

【請求項 10】 前記非多孔質シリコン単結晶層の表面に形成する酸化シリコン層は熱酸化法により形成する請求項8に記載の半導体基板の作製方法。

【請求項 11】 前記多孔質シリコンの選択エッティングは、HFを含む溶液による請求項1～10に記載の半導体基板の作製方法。

【請求項 12】 前記多孔質化シリコン基板上に形成された前記シリコン単結晶の厚さが20ミクロン以下である請求項4に記載の半導体基板の作製方法。 40

【請求項 13】 前記第2の基板は、シリコン基板である請求項1～12に記載の半導体基板の作製方法。

【請求項 14】 前記第2の基板は、光透過性基板である請求項1～12に記載の半導体基板の作製方法。

【請求項 15】 前記貼り合わせ工程が酸素を含む雰囲気中で行われる工程を含む請求項1～14に記載の半導体基板の作製方法。

【請求項 16】 前記貼り合わせ工程が窒素を含む雰囲 50

気中で行われる工程を含む請求項1～14に記載の半導体基板の作製方法。

【請求項 17】 前記非多孔質シリコン単結晶層は、エピタキシャル成長により形成される請求項4に記載の半導体基板の作製方法。

【請求項 18】 前記非多孔質シリコン単結晶層は分子線エピタキシャル法、プラズマCVD法、熱CVD法、光CVD法、液相成長法、バイアス・スペッター法から選ばれる方法によって形成される請求項17に記載の半導体基板の作製方法。

【請求項 19】 前記多孔質化する工程は陽極化成である請求項1～18に記載の半導体基板の作製方法。

【請求項 20】 前記陽極化成はHF溶液中で行われる請求項19に記載の半導体基板の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体基材の作製方法に関し、更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体層に作成され電子デバイス、集積回路に適する半導体基材の作製方法に関するものである。

## 【0002】

【従来の技術】 絶縁物上の単結晶Si半導体層の形成は、シリコンオンインシュレーター(SOI)技術として広く知られ、通常のSi基板では到達しえない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、SOI技術を利用することで、

1. 誘電体分離が容易で高集積化が可能、
2. 対放射線耐性に優れている、
3. 浮遊容量が低減され高速化が可能、
4. ウエル工程が省略できる、
5. ラッチアップを防止できる、
6. 薄膜化による完全空乏型電界効果トランジスタが可能、等の優位点が得られる。

【0003】 上記したようなデバイス特性上の多くの利点を実現するために、ここ数十年に渡り、SOI構造の形成方法について研究されてきている。この内容は、例えば以下の文献にまとめられている。Special

Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G. W. Cullen, Journal of Crystal Growth, volume 63, no 3, pp 429～590 (1983).

【0004】 また、古くは、単結晶サファイア基板上に、SiをCVD(化学気相法)で、ヘテロエピタキシーさせて形成するSOS(シリコンオンサファイア)が知られており、最も成熟したSOI技術として一応の成功を収めはしたが、Si層と下地サファイア基板

界面の格子不整合により大量の結晶欠陥、サファイア基板からのアルミニウムのSi層への混入、そして何よりも基板の高価格と大面积化への遅れにより、その応用の拡がりが妨げられている。比較的近年には、サファイア基板を使用せずにSOI構造を実現しようという試みが行なわれている。この試みは、次の二つに大別される。

【0005】1. Si単結晶基板を表面酸化後に、窓を開けてSi基板を部分的に表出させ、その部分をシードとして横方向へエピタキシャル成長させ、SiO<sub>2</sub>上へSi単結晶層を形成する（この場合には、SiO<sub>2</sub>上にSi層の堆積をともなう。）。

【0006】2. Si単結晶基板そのものを活性層として使用し、その下部にSiO<sub>2</sub>を形成する（この方法は、Si層の堆積をともなわない。）。

【0007】

【発明が解決しようとしている課題】上記1を実現する手段として、CVDにより、直接、単結晶層Siを横方向エピタキシャル成長させる方法、非晶質Siを堆積して、熱処理により固相横方向エピタキシャル成長させる方法、非晶質あるいは、多結晶Si層に電子線、レーザー光等のエネルギービームを収束して照射し、溶融再結晶により単結晶層をSiO<sub>2</sub>上に成長させる方法、そして、棒状ヒーターにより帯状に溶融領域を走査する方法（Zone melting recrystallization）が知られている。これらの方法にはそれぞれ一長一短があるが、その制御性、生産性、均一性、それ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、いまだに、工業的に実用化したものはない。たとえば、CVD法は平坦薄膜化するには、犠牲酸化が必要となり、固相成長法ではその結晶性が悪い。また、ビームアニール法では、収束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。このうち、Zone Melting Recrystallization法がもっとも成熟しており、比較的大規模な集積回路も試作されてはいるが、依然として、亜粒界等の結晶欠陥は、多数残留しており、少数キャリヤデバイスを作成するにいたってない。

【0008】上記2の方法であるSi基板をエピタキシャル成長の種子として用いない方法に於ては、次の3種類の方法が挙げられる。

【0009】1. V型の溝が表面に異方性エッチングされたSi単結晶基板に酸化膜を形成し、該酸化膜上に多結晶Si層をSi基板と同じ程厚く堆積した後、Si基板の裏面から研磨によって、厚い多結晶Si層上にV溝に囲まれて誘電分離されたSi単結晶領域を形成する。この手法に於ては、結晶性は、良好であるが、多結晶Siを数百ミクロンも厚く堆積する工程、単結晶Si基板を裏面より研磨して分離したSi活性層のみを残す工程に、制御性、と生産性の点から問題がある。

【0010】2. サイモックス(SIMOX: Separation by ion implanted oxygen)と称されるSi単結晶基板中に酸素のイオン注入によりSiO<sub>2</sub>層を形成する方法であり、Siプロセスと整合性が良いため現在もっとも成熟した手法である。しかしながら、SiO<sub>2</sub>層形成をするためには、酸素イオンを10<sup>18</sup> ions/cm<sup>2</sup>以上も注入する必要があるが、その注入時間は長大であり、生産性は高いとはいはず、また、ウェハコストは高い。更に、結晶欠陥は多く残存し、工業的に見て、少数キャリヤデバイスを作製できる充分な品質に至っていない。

【0011】3. 多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法。この方法は、P型Si単結晶基板表面にN型Si層をプロトンイオン注入、(マイクロ、J. Crystal Growth, vol. 63, 547 (1983))、もしくは、エピタキシャル成長とパターニングによって島状に形成し、表面よりSi島を囲むようにHF溶液中の陽極化成法によりP型Si基板のみを多孔質化したのち、増速酸化によりN型Si島を誘電体分離する方法である。本方法では、分離されるSi領域は、デバイス工程のまえに決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0012】また、ガラスに代表される光透過性基板上には一般には、その結晶構造の無秩序性を反映して、非晶質が良くて、多結晶層にしかならず、高性能なデバイスは作成できない。それは、基板の結晶構造が非晶質であることによっており、単に、Si層を堆積しても、良質な単結晶層は得られない。光透過性基板は、光受光素子であるコンタクトセンサー、投影型液晶画像表示装置を構成するうえにおいて重要である。そして、センサーや表示装置の画素（絵素）をより一層、高密度化、高解像度化、高精細化するには、極めて高性能は駆動素子が必要となる。その結果、光透過性基板上に設けられる素子としても優れた結晶性を有する単結晶層をもちいて作成されることが必要となる。

【0013】したがって、非晶質Siや、多結晶Siではその欠陥の多い結晶構造故に要求される、あるいは今後要求されるに十分な性能を持った駆動素子を作成することが困難である。

【0014】しかし、Si単結晶基板を用いる上記のいずれの方法を用いても光透過性基板上に良質な単結晶層を得るという目的には不適当である。

【0015】本発明は、上記したような問題点及び上記したような要求に応える半導体基板を作成する半導体基板の作成方法を提案することを目的とする。

【0016】更に本発明は、従来のSOI構造の利点を実現し、応用可能な半導体基板の作成方法を提案することも目的とする。

50 【0017】また、本発明は、SOI構造の大規模集積

回路を作製する際にも、高価なSOSや、SIMOXの代替足り得る半導体基板の作製方法を提案することを目的とする。

【0018】また、本発明は、絶縁層上に結晶性が単結晶ウエハー並に優れたSiを得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案することを目的とする。

【0019】さらに本発明は、透明基板（光透過性基板）上に結晶性が単結晶ウエハー並に優れたSiを得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作成方法を提案することを目的とする。  
10

【0020】

【課題を解決するための手段および作用】本発明の半導体基板の作製方法は、シリコン基板を多孔質化する工程、該多孔質上に非多孔質シリコン単結晶層を形成して第1の基板を形成する工程、該非多孔質シリコン単結晶層表面を、絶縁層を介して第2の基板に貼り合わせた後、該多孔質化したシリコン基板を化学エッティング液に浸すことによって、多孔質Siを除去する工程と、単結20  
20浸すことによって、多孔質Siを除去する工程と、単結晶シリコンの融点より低い温度の還元性雰囲気中で熱処理する工程とを有することを特徴とする。

【0021】本発明は、経済性に優れて、大面積に渡り均一平坦な、極めて優れた結晶性を有するSi単結晶基板を用いて、表面にSi活性層を残して、その片面から該活性層までを除去して、還元性雰囲気中で熱処理することにより、表面に絶縁層を有する基体上、乃至は、光透過性基板上に欠陥が著しく少なく、ウエハ並みに表面平坦なSi単結晶層を得ることにある。  
30

【0022】特に本発明は、還元性雰囲気中で熱処理を施すことにより、エッティングにより多孔質シリコン層を除去した後の表面性をウエハ並みに平坦にできる。

【0023】【実施態様例1】Si基板を多孔質化した後に単結晶層をエピタキシャル成長させる方法について説明する。

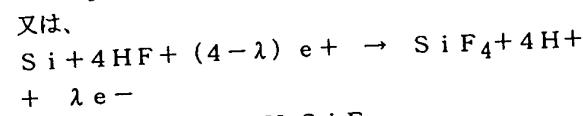
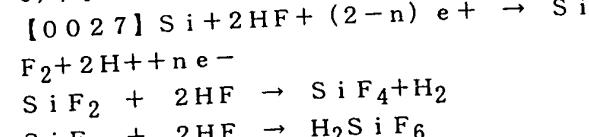
【0024】図1(a)に示すように、先ず、Si単結晶基板11を用意して、その全部、ないしは、図4(a)のように一部を多孔質化する。

【0025】Si基板は、HF溶液を用いた陽極化成法によって、多孔質化させる。この多孔質Si層は、単結晶Siの密度 $2.33\text{ g/cm}^3$ に比べて、その密度をHF溶液濃度を $50\sim20\%$ に変化させることで密度 $1.1\sim0.6\text{ g/cm}^3$ の範囲に変化させることができる。この多孔質層は、下記の理由により、P型Si基板に形成されやすい。この多孔質Si層は、透過電子顕微鏡による観察によれば、平均約 $50\sim600$ オングストローム程度の径の孔が形成される。

【0026】多孔質Siは、Uhliir等によって1956年に半導体の電解研磨の研究過程に於て発見された(A. Uhliir, Bell Syst. Tech. 50

J., vol. 35, p. 333 (1956))。また、ウナガミ等は、陽極化成におけるSiの溶解反応を研究し、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次のようにあると報告している。

(T. ウナガミ: J. Electrochem. Soc., vol. 127, p. 476 (1980)).



ここで $e^+$ 及び、 $e^-$ はそれぞれ、正孔と電子を表している。また、 $n$ 及び $\lambda$ は夫々シリコン1原子が溶解するために必要な正孔の数であり、 $n > 2$ 又は、 $\lambda > 4$ なる条件が満たされた場合に多孔質シリコンが形成されるとしている。

【0028】以上のことから、正孔の存在するP型シリコンは、多孔質化されやすい。この多孔質化に於ける、選択性は長野ら及び、イマイによって実証されている

(長野、中島、安野、大中、梶原: 電子通信学会技術研究報告、vol. 79, SSD 79-9549 (1979)、K. イマイ: Solid-State Electronics vol. 24, 159 (1981))。このように正孔の存在するP型シリコンは多孔質化されやすく、選択性的にP型シリコンを多孔質することができる。

【0029】一方、高濃度N型シリコンも多孔質化するという報告(R. P. Holmstrom, I. J. Y. Chi Appl. Phys. Lett. Vol. 42, 386 (1983))もあり、P、Nにこだわらず、多孔質化を実現できる基板を選ぶことが重要である。

【0030】続いて、種々の成長法により、多孔質化した基板表面にエピタキシャル成長を行ない、薄膜単結晶層12を形成する。

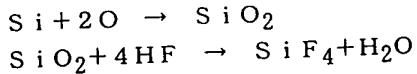
【0031】多孔質Si層には、透過電子顕微鏡による観察によれば、平均約600オングストローム程度の径の孔が形成されており、その密度は単結晶Siに比べると、半分以下になるにもかかわらず、単結晶性は維持されており、多孔質層の上部へ単結晶Si層をエピタキシャル成長させることも可能である。ただし、1000°C以上のエピタキシャル成長では、内部の孔の再配列が起こり、増速エッティングの特性が損なわれる。このため、Si層のエピタキシャル成長には、分子線エピタキシャル成長、プラズマCVD、熱CVD法、光CVD、バイアル成長、アス・スパッター法、液相成長法等の低温成長が好適と

される。

【0032】また、上記した多孔質Si上のエピタキシャル成長において、多孔質Siはその構造的性質のため、ヘテロエピタキシャル成長の際に発生する歪みを緩め、欠陥の発生を抑制することが可能である。

【0033】また、多孔質層はその内部に大量の空隙が形成されている為に、密度が半分以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッティング速度は、通常の単結晶層のエッティング速度に比べて、著しく増速される。

【0034】多孔質Siをエッティングする方法としては



に示される様に、Siが硝酸で酸化され、SiO<sub>2</sub>に変質し、そのSiO<sub>2</sub>をフッ酸でエッティングすることによりSiのエッティングが進む。

【0037】同様に結晶Siをエッティングする方法としては、上記フッ硝酸系エッティング液の他に、

エチレンジアミン系

KOH系

ヒドラジン系

などがある。

【0038】本発明で特に有効な重要な多孔質Siの選択エッティング方法は、結晶Siに対してはエッティング作用を持たない弗酸、あるいはバッファード弗酸を用いるものである。このエッティングにおいては、さらに酸化剤として作用する過酸化水素を添加しても良い。過酸化水素は、酸化剤として作用し、過酸化水素の比率を変えることにより反応速度を制御することが可能である。また、表面活性剤として作用するアルコールを添加してもよい。アルコールは、表面活性剤として作用し、エッティングによる反応生成気体の気泡を瞬時にエッティング表面から除去し、均一に、かつ効率良く多孔質Siの選択エッティングが可能となる。

【0039】図1(b)、図4(b)に示すように、基体として、たとえばシリコン基板などの下地材料の表面に絶縁層を配した基体、あるいは、ガラスに代表される光透過性絶縁物基体13を用意して、多孔質Si基板上の単結晶Si層表面を基体表面に貼りつける。

【0040】貼り合わせに先だって、多孔質Si上の単結晶Si層表面に酸化層を形成することにより、単結晶シリコン層と絶縁層の界面をあらかじめ形成しておいても良い。該酸化層は、デバイスを作成する際に重要な役割をはたす。すなわち、Si活性層の下地界面により発生する界面準位は貼り合わせ界面、とくにガラス界面にくらべて、単結晶シリコン層を酸化することにより形成した下地界面の準位のほうがひくでき、貼り合わせ界面を活性層から離すことにより、貼り合わせ界面に生じることのある準位を遠ざけることができるので、電子デバイスの特性は著しく向上される。また、多孔質Si上

1. NaOH水溶液で多孔質Siをエッティングする  
(G. Bonchil, R. Herino, K. Barla, and J. C. Pfister, J. Electrochem. Soc., vol. 130, no. 7, 1611 (1983))。

【0035】2. 単結晶Siをエッティングすることが可能なエッティング液で多孔質Siをエッティングする。が知られている。

【0036】上記2の方法は、通常、フッ硝酸系のエッティング液が用いられるが、このときのSiのエッティング過程は、

(10)

(11)

の単結晶Si層表面に酸化層を形成し、Si基板や金属基板等の任意の基体に貼り合わせてもよい。

【0041】この後に、多孔質Si基板15を全部化学エッティングにより除去して、図1(c)に示すように、表面に絶縁層を有する基体上、ないしは、光透過性基体上に薄膜化した単結晶シリコン層を残存させ形成する。

20 エッティングに先立ち、必要に応じてエッティング防止膜を形成する。たとえばSi<sub>3</sub>N<sub>4</sub>層を堆積して、貼り合せた2枚の基板全体を被覆して、多孔質シリコン基板の表面上のSi<sub>3</sub>N<sub>4</sub>層を除去する。他のエッティング防止膜としてSi<sub>3</sub>N<sub>4</sub>層の代わりに、アピエゾンワックスを用いても良い。

【0042】図4(a)、(b)の工程の様に、多孔質Siを基板の一部にのみ形成した場合は、多孔質層が露出するまで、Siウェハ作製工程で通常用いる研削、研磨、あるいは、弗酸、硝酸、酢酸の混合溶液等によるエッティングにより多孔質層を形成した基体の裏面側を非多孔質Siをあらかじめ除去したのち、上記した化学エッティングにより、多孔質シリコンを除去して、図4(c)に示すように、表面に絶縁層を有する基体上、ないしは、光透過性基体上に薄膜化した単結晶シリコン層を残存させ形成する。

【0043】この後、多孔質シリコンを除去して得られた絶縁層上に非多孔質単結晶シリコン層を有する基体を還元性雰囲気中で熱処理して、図1(d)、ないしは、図4(d)に示すように平坦な表面を有する単結晶シリコン層を表面に絶縁層を有する基体、ないしは、光透過性基体上に形成する。

【0044】本発明者らは、エッティングして現われた非多孔質シリコン単結晶表面の微小な荒れの除去について、熱処理を用いる方法を検討した結果、還元性雰囲気中の熱処理では、デバイスプロセスと同程度以下の温度の熱処理で非多孔質シリコン単結晶表面の荒れを除去できることを見いだした。ここでいう還元性雰囲気とは、例えば水素を含む雰囲気、ないしは、水素雰囲気が挙げられる。しかし、これに限定されるものではない。雰囲気をかえて熱処理による表面荒れの変化を詳細に高分解

能走査型電子顕微鏡や原子間力顕微鏡等を用いて観察したところ、図5に示すような熱処理前の表面の凹凸が、還元性雰囲気中での熱処理により減少し、平坦な表面を有する単結晶薄層が得られることを知見するに至った。しかも、研磨等で表面の荒れを除去する場合には、面内で単結晶層の膜厚に分布を生じせしめる場合があるが、本発明の還元性雰囲気での熱処理の場合は、微小な凹凸が除去されるのみで、膜厚分布は変化しない。

【0045】エッチングにより得られた非多孔質シリコン単結晶層の表面の微細な構造を観察すると、数nmから10数十nmの高さ、数nmから数百nmの周期の凹凸が観察されること(図5(a))があるが、還元性雰囲気中で熱処理することにより、少なくとも高低差が数nm以下、条件を整えれば、2nm以下の平坦な表面(図5(b))が得られる。この現象は、エッチングというよりは、むしろ表面の再構成であると考えられる。即ち、荒れた表面では、表面エネルギーの高い陵状の部分が無数に存在すること、結晶層の面方位に比して高次の面方位の面が多く表面に露出しているが、これらの領域の表面エネルギーは、第1の基板の表面の面方位における表20面エネルギーにくらべて高い。還元性雰囲気の熱処理では、例えば水素の還元作用により表面の自然酸化膜が水素雰囲気の熱処理により除去され、熱処理中は常に除去され再付着しないために、表面Si原子の移動のエネルギー障壁は下がる結果、熱エネルギーにより励起されたSi原子が移動し、表面エネルギーの低い、平坦な表面を構成していくのだと考えられる。

【0046】その結果、窒素雰囲気や、希ガス雰囲気では、表面が平坦化しないような1200°C以下の温度でも、十分に平坦化がなされる。本発明による平坦化の温度は、ガスの組成、圧力等によるが、概ね300°C以上融点以下の熱処理、より好ましくは、500°C以上、特に、1200°C以下で効果的に作用する。また、圧力は還元性が強いほど高い圧力でも平坦化が促進されるが、概ね大気圧以下、より好ましくは200 Torr以下である。

【0047】また、本現象は表面が清浄な状態で熱処理することでその進行が開始するのであって、表面に厚く自然酸化膜が形成されているような場合には、熱処理に先立って、これを希硫酸などによるエッチングなどで除去しておくことにより、表面の平坦化の開始が早まる。

【0048】図1(c)、図4(c)には本発明で得られる半導体基板が示される。すなわち、表面に絶縁層を有する基板、ないしは、光透過性基板13上に結晶性がシリコンウエハーと同等な単結晶Si層12が平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。

【0049】こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0050】[実施態様例2]以下、本発明の半導体基板の作製方法を図面を参照しながら詳述する。

【0051】図3(a)～(c)は本発明の半導体基板の作製方法を説明するための工程図で、夫々各工程に於ける模式的切断面図として示されている。

【0052】先ず、図3(a)に示される様に種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層32を形成する。或は、P型Si単結晶基板31の表面をプロトンをイオン注入してN型単結晶層32を形成する。

【0053】次に、図3(b)に示される様にP型Si単結晶基板31を裏面よりHF溶液を用いた陽極化成法によって、多孔質Si33に変質させる。この多孔質Si層は、単結晶Siの密度2.33g/cm<sup>3</sup>に比べて、その密度をHF溶液濃度を50～20%に変化させることで密度1.1～0.6g/cm<sup>3</sup>の範囲に変化させることができる。この多孔質層は、上述したように、P型基板に形成される。

【0054】図3(c)に示すように、表面に絶縁層を有する基板34を用意して、多孔質Si基板上の単結晶Si層表面、ないしは、該単結晶Si層を酸化した表面に該第2の基板34に貼りつける。また、多孔質Si上の単結晶Si層表面に酸化層を形成し、Si基板等の任意の基体に貼り合わせてもよい。

【0055】図3(c)に示すように、多孔質化したSi基板33の多孔質を全部エッチング除去して、表面に絶縁層を有する基板上に薄膜化した単結晶シリコン層を残存させ形成する。

【0056】この後、第1の実施態様例と同様の方法により、多孔質シリコンを除去して得られた絶縁層上に非多孔質単結晶シリコン層を有する基体を還元性雰囲気中で熱処理して、表面のラフネスを改善し、図3(e)に示すような本発明で得られる半導体基板が示される。すなわち、表面に絶縁層を有する基体、ないしは光透過性基板34上に結晶性がシリコンウエハーと同等な単結晶Si層32が平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。

【0057】こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0058】以上は、多孔質化を行う前にN型層を形成し、その後、陽極化成により選択的にP型基板のみを多孔質化する方法である。

【0059】

【実施例】以下、具体的な実施例によって本発明を説明する。

【0060】(実施例1) 600ミクロンの厚みを持つたP型(100)単結晶Si基板を50%のHF溶液中において20分間、陽極化成を行った。この時の電流密度は、5mA/cm<sup>2</sup>であった。この時の多孔質化速度

は、 $1 \mu\text{m}/\text{min}$  であり 600 ミクロンの厚みを持った P 型 (100) Si 基板 20  $\mu\text{m}$  程多孔質化された。

【0061】該 P 型 (100) 多孔質 Si 基板上に CVD 法により、Si エピタキシャル層を 2 nm 成長させた。堆積条件は、以下の通りである。

#### 【0062】

温度：950°C

圧力：80 Torr

ガス： $\text{SiH}_2\text{Cl}_2/\text{H}_2$  ; 0.5 / 180 (1/mi 10  
n)

成長速度：0.33 nm/sec

次に、このエピタキシャル層の表面を 50 nm 熱酸化した。該熱酸化膜上に単結晶シリコン基板を重ねあわせ、窒素雰囲気中で 1000°C、2 時間加熱することにより、両者の基板は、強固に接合された。

【0063】その後、多孔質化した基板側を裏面より研削して、多孔質化されていないシリコン基板領域を除去し、多孔質層を露出させた。

【0064】その後、該張り合わせた基板を弗酸とアルコールと過酸化水素水との混合液 (10 : 6 : 50) で攪はんすることなく選択エッティングする。20 分後には、単結晶 Si 層だけがエッティングされずに残り、単結晶 Si をエッチ・ストップの材料として、多孔質 Si 基板は選択エッティングされ、完全に除去された。

【0065】非多孔質 Si 単結晶の該エッティング液にたいするエッティング速度は、極めて低く 20 分後でも 40 オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量 (数十オングストローム) は実用上無視できる膜厚減少である。すなわち、200 ミクロンの厚みをもった多孔質化された Si 基板は、除去され、 $\text{Si}_3\text{N}_4$  層を除去した後には、酸化シリコン層を表面に有するシリコン基板上に 0.5  $\mu\text{m}$  の厚みを持つた単結晶 Si 層が形成できた。

【0066】この後、水素雰囲気中、950°C、80 Torr で熱処理を施した。この試料を原子間顕微鏡等により表面の平坦性を評価したところ、表面のラフネスは水素処理前の荒れ 20 nm が 1.5 nm と良好になった。

【0067】また、透過型電子顕微鏡による断面観察の結果、Si 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0068】(実施例 2) 200 ミクロンの厚みを持つた P 型 (100) 単結晶 Si 基板を 50 % の HF 液中ににおいて陽極化成を行った。この時の電流密度は、10 0 mA/cm<sup>2</sup> であった。この時の多孔質化速度は、8.4  $\mu\text{m}/\text{min}$  であり 200 ミクロンの厚みを持つた P 型 (100) Si 基板全体は、24 分で多孔質化された。

【0069】該多孔質化した基板を酸素雰囲気中で、300°C 1 時間熱処理を施した。

【0070】該 P 型 (100) 多孔質 Si 基板上に MBE (分子線エピタキシー: Molecular Beam Epitaxy) 法により、Si エピタキシャル層を 0.5 ミクロン低温成長させた。堆積条件は、以下のとおりである。

#### 【0071】

温度：700°C

圧力： $1 \times 10^{-9}$  Torr

成長速度：0.1 nm/sec

次に、このエピタキシャル層の表面を 100 nm 熱酸化した。該熱酸化膜上に熱酸化法により、単結晶シリコン基板を重ねあわせ、酸素雰囲気中で 900°C、2 時間加熱することにより、両者の基板は、強固に接合された。

【0072】プラズマ CVD 法によって  $\text{Si}_3\text{N}_4$  を 0.1  $\mu\text{m}$  堆積して、貼りあわせた 2 枚の基板を被覆して、多孔質基板上の窒化膜のみを反応性イオンエッティングよって除去する。

【0073】その後、該張り合わせた基板をバッファード 弗酸とアルコールと過酸化水素水との混合液 (10 : 6 : 50) で攪はんすることなく選択エッティングする。204 分後には、単結晶 Si 層だけがエッティングされずに残り、単結晶 Si をエッチ・ストップの材料として、多孔質 Si 基板は選択エッティングされ、完全に除去された。

【0074】非多孔質 Si 単結晶の該エッティング液にたいするエッティング速度は、極めて低く 204 分後でも 40 オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量 (数十オングストローム) は実用上無視できる膜厚減少である。すなわち、200 ミクロンの厚みをもった多孔質化された Si 基板は、除去され、 $\text{Si}_3\text{N}_4$  層を除去した後には、酸化シリコン層を表面に有するシリコン基板上に 0.5  $\mu\text{m}$  の厚みを持つた単結晶 Si 層が形成できた。

【0075】この後、水素雰囲気中、950°C、80 Torr で熱処理を施した。この試料を原子間力顕微鏡等により表面の平坦性を評価したところ、表面のラフネスは水素処理前の荒れ 20 nm が 1.5 nm と良好になった。

【0076】また、透過型電子顕微鏡による断面観察の結果、Si 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0077】(実施例 3) 200 ミクロンの厚みを持つた P 型 (100) 単結晶 Si 基板を 50 % の HF 液中ににおいて陽極化成を行った。この時の電流密度は、10 0 mA/cm<sup>2</sup> であった。この時の多孔質化速度は、8.4  $\mu\text{m}/\text{min}$  であり 200 ミクロンの厚みを持つた P 型 (100) Si 基板全体は、24 分で多孔質化された。

された。

【0078】該P型(100)多孔質Si基板上にプラズマCVD法により、Siエピタキシャル層を5μm低温成長させた。堆積条件は、以下のとおりである。

#### 【0079】

ガス：SiH<sub>4</sub>

高周波電力：100W

温度：800°C

圧力：1×10<sup>-1</sup>Torr

成長速度：2.5nm/sec

次に、このエピタキシャル層の表面を50nm熱酸化した。該熱酸化膜上に光学研磨を施した融溶石英(Fused Silica)基板を重ねあわせ、酸素雰囲気中で400°C、20時間加熱することにより、両者の基板は、強固に接合された。

【0080】その後、該張り合わせた基板を弗酸と過酸化水素との混合液(1:5)で攪拌しながら選択エッチングする。62分後には、単結晶Si層だけがエッチングされずに残り、単結晶Siをエッチ・トップの材料として、多孔質Si基板は選択エッチングされ、完全に除去された。

【0081】非多孔質Si単結晶の該エッチング液にたいするエッティング速度は、極めて低く62分後でも20オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、200ミクロンの厚みをもった多孔質化されたSi基板は、除去され、溶融石英基板上に5μmの厚みを持った単結晶Si層が形成できた。

【0082】この後、水素雰囲気中、1000°C、760Torrで熱処理を施した。この試料を原子間力顕微鏡等により表面の平坦性を評価したところ、表面のラフネスは水素処理前の荒れ20nmが1.7nmと良好になった。

【0083】また、透過型電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0084】(実施例4) 200ミクロンの厚みを持つたP型(100)単結晶Si基板を50%のHF溶液中ににおいて陽極化成を行った。この時の電流密度は、100mA/cm<sup>2</sup>であった。この時の多孔質化速度は、8.4μm/min. であり200ミクロンの厚みを持つたP型(100)Si基板全体は、24分で多孔質化された。

【0085】該P型(100)多孔質Si基板上にCVD法により、Siエピタキシャル層を1ミクロン低温成長させた。堆積条件は、以下のとおりである。

【0086】ガス：SiH<sub>4</sub>(0.61/min), H<sub>2</sub>(1001/min)

温度：850°C

圧力：40Torr

成長速度：0.3μm/min

次に、このエピタキシャル層の表面を50nm熱酸化した。該熱酸化膜上に光学研磨を施した500°C近辺に軟化点のあるガラス基板を重ねあわせ、酸素雰囲気中で450°C、0.5時間加熱することにより、両者の基板は、強固に接合された。

【0087】その後、該張り合わせた基板をバッファー-ドフ酸とアルコールと過酸化水素との混合液(10:6:50)で攪拌することなく選択エッティングする。204分後には、単結晶Si層だけがエッティングされずに残り、単結晶Siをエッチ・トップの材料として、多孔質Si基板は選択エッティングされ、完全に除去された。

【0088】非多孔質Si単結晶の該エッティング液にたいするエッティング速度は、極めて低く204分後でも40オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、200ミクロンの厚みをもった多孔質化されたSi基板は除去され、低軟化点ガラス基板上に1μm厚みを持った単結晶Si層が形成できた。

【0089】この後、水素雰囲気中、900deg°C、10Torrで熱処理を施した。この試料を原子間力顕微鏡等により表面の平坦性を評価したところ、表面のラフネスは水素処理前の荒れ20nmが1.7nmと良好になった。

【0090】また、透過型電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0091】(実施例5) 525ミクロンの厚みを持つたP型(100)単結晶Si基板を50%のHF溶液中において陽極化成を行った。この時の電流密度は、5mA/cm<sup>2</sup>であった。この時の多孔質化速度は、1μm/min. であり525ミクロンの厚みを持つたP型(100)Si基板の表面は、20μmの多孔質化された。

【0092】該多孔質化した基板を酸素雰囲気中で、300°C、1時間熱処理を施した。

【0093】該P型(100)多孔質Si基板上にバイアススパッター法により、Siエピタキシャル層を1.0ミクロン低温成長させた。成長条件は、以下のとおりである。

#### 【0094】

R F周波数：100MHz

高周波電力：600W

温度：300°C

Arガス圧力：8×10<sup>-3</sup>Torr

成長時間：120分

ターゲット直流バイアス：-200V

基板直流バイアス：+5V

次に、このエピタキシャル層の表面に熱酸化法により500nmの酸化シリコン層を形成した。該熱酸化膜上にSi基板を重ねあわせ、窒素雰囲気中で1000°C、2時間加熱することにより、両者の基板は、強固に接合された。

【0095】その後、多孔質化した基板側を裏面より研削することにより多孔質化されていないシリコン基板領域を除去し、多孔質層を露出させたるその後、該貼りあわせた基板をバッファードフロードとアルコールと過酸化水素との混合液(10:6:50)で搅はんすることなく選択エッチングする。20分後には、単結晶Si層だけがエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Si基板は選択エッチングされ、完全に除去された。

【0096】非多孔質Si単結晶の該エッチング液におけるエッチング速度は、極めて低く204分後でも40オングストローム弱程度であり、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、200ミクロンの厚みをもった多孔質化されたSi基板は除去され、Si基板上に500nmの酸化層を介して、0.75μmの厚みを持った単結晶Si層が形成できた。

【0097】この後、水素雰囲気中、900deg°C、10Torrで熱処理を施した。この試料を原子間力顕微鏡等により表面の平坦性を評価したところ、表面のラフネスは水素処理前の荒れ20nmが1.7nmと良好になった。

【0098】また、透過型電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0099】(実施例6) 600ミクロンの厚みを持ったP型(100)単結晶Si基板を50%のHF溶液中において陽極化成を行った。この時の電流密度は、5mA/cm<sup>2</sup>であった。この時の多孔質化速度は、1μm/min. であり600ミクロンの厚みを持ったP型(100)Si基板は、20μmの多孔質化された。

【0100】該P型(100)多孔質Si基板上に液相成長法により、Siエピタキシャル層を10ミクロン低温成長させた。堆積条件は、以下のとおりである。

【0101】

溶媒：Sn

成長温度：900°C

成長雰囲気：H<sub>2</sub>

成長時間：20分

該Siエピタキシャル層上に表面に1μmの酸化シリコン層を形成した単結晶シリコン基板を重ねあわせ、酸素50

雰囲気中で700°C、5時間加熱することにより、両者の基板は、強固に接合された。

【0102】その後、多孔質化した基板側を裏面より研削することにより、多孔質化されていないシリコン基板領域を除去し、多孔質層を露出させた。

【0103】その後、該張り合わせた基板をバッファードフロードとアルコールと過酸化水素との混合液(10:6:50)で搅はんすることなく選択エッチングする。20分後には、単結晶Si層だけがエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Si基板は選択エッチングされ、完全に除去された。

【0104】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く20分後でも10オングストローム弱程度であり、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、多孔質化されたSi基板は除去され、表面に酸化層を有するシリコン基板上に10μmの厚みを持った単結晶Si層が形成できた。

【0105】この後、水素雰囲気中、950°C、80Torrで熱処理を施した。この試料を原子間力顕微鏡等により表面の平坦性を評価したところ、表面のラフネスは水素処理前の荒れ20nmが1.7nmと良好になった。

【0106】また、透過型電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0107】(実施例7) 200ミクロンの厚みを持ったP型(100)Si基板上にCVD法により、Siエピタキシャル層を0.5ミクロン成長させた。堆積条件は、以下の通りである。

【0108】

反応ガス流量：SiH<sub>2</sub>C<sub>12</sub> 1000SCCM

: H<sub>2</sub> 230/min

温度：1080°C

圧力：80Torr

時間：1min

この基板を50%のHF溶液中において陽極化成を行つた。この時の電流密度は、100mA/cm<sup>2</sup>であった。この時の多孔質化速度は、8.4μm/minであり200ミクロンの厚みを持ったP型(100)Si基板全体は、24分で多孔質化された。前述したようにこの陽極化成では、P型(100)Si基板のみが多孔質化されSiエピタキシャル層には変化がなかった。

【0109】次に、このエピタキシャル層の表面を50nm熱酸化した。該熱酸化膜上に光学研磨を施した溶液石英ガラス(Fused Silica)基板を重ねあわせ、酸素雰囲気中で800°C、3時間加熱すること

により、両者の基板は、強固に接合された。

【0110】その後、該張り合わせた基板をバッファーードフロ酸とアルコールと過酸化水素水との混合液(10:6:50)で搅はんすることなく選択エッチングする。204分後には、単結晶Si層だけがエッチングされず204分後には、単結晶Si層だけがエッチングされず50孔質Si基板は選択エッチングされ、完全に除去された。

【0111】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く204分後でも40オングストローム弱程度であり、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、200ミクロンの厚みをもった多孔質化されたSi基板は除去され、Si<sub>3</sub>N<sub>4</sub>層を除去した後には、溶融石英ガラス基板上に0.5μmの厚みを持った単結晶Si層が形成された。

【0112】この後、水素雰囲気中、950deg;C、80Torrで熱処理を施した。この試料を原子間力顕微鏡等により表面の平坦性を評価したところ、表面のラフネスは水素処理前の荒れ20nmが1.7nmと良好になった。

【0113】透過型電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0114】(実施例8) 200ミクロンの厚みを持つたP型(100)Si基板表面にプロトンのイオン注入によって、N型Si層を1ミクロン形成した。H<sup>+</sup>注入量は、 $5 \times 10^{15}$ (ions/cm<sup>2</sup>)であった。この基板を50%のHF溶液中において陽極化成を行つた。この時の電流密度は、100mA/cm<sup>2</sup>であった。この時の多孔質化速度は、8.4μm/min.であった。この時の多孔質化速度は、8.4μm/min.であり、200ミクロンの厚みを持つたP型(100)Si基板全体は、24分で多孔質化された。前述したようにこの陽極化成では、P型(100)Si基板のみが多孔質化されN型Si層には変化がなかった。

【0115】次に、このN型単結晶層の表面を50nm熱酸化した。該熱酸化膜上に光学研磨を施した溶融石英ガラス基板を重ねあわせ、酸素雰囲気中で800°C、0.5時間加熱することにより、両者の基板は、強固に接合された。

【0116】減圧CVD法によってSi<sub>3</sub>N<sub>4</sub>を0.1μm堆積して、貼りあわせた2枚の基板を被覆して、多孔質基板上の窒化膜のみを反応性イオンエッチングによって除去する。

【0117】その後、該張り合わせた基板をバッファーードフロ酸とアルコールと過酸化水素水との混合液(10:6:50)で搅はんすることなく選択エッチングする。204分後には、単結晶Si層だけがエッチングされず50孔質Si基板は選択エッチングされ、完全に除去された。

多孔質Si基板は選択エッチングされ、完全に除去された。

【0118】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く204分後でも40オングストローム弱程度であり、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、200ミクロンの厚みをもった多孔質化されたSi基板は除去され、Si<sub>3</sub>N<sub>4</sub>層を除去した後には、ガラス基板上に1.0μmの厚みを持った単結晶Si層が形成できた。

【0119】また、Si<sub>3</sub>N<sub>4</sub>層の代わりに、アビエゾンワックス、或いは、エレクトロンワックスを被覆した場合にも同様の効果があり、多孔質化されたSi基板のみを完全に除去しえる。

【0120】この後、水素雰囲気中、950deg;C、80Torrで熱処理を施した。この試料を原子間力顕微鏡等により表面の平坦性を評価したところ、表面のラフネスは水素処理前の荒れ20nmが1.7nmと良好になった。

【0121】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

#### 【0122】

【発明の効果】以上詳述したように、本発明によれば、上記したような問題点及び上記したような要求に答え得る半導体基板の作製方法を提案することができる。

【0123】また、本発明によれば、表面に絶縁層を有する基体、ないしは、ガラスに代表される光透過性絶縁物基板上に結晶性、及び、表面平坦性が単結晶ウエハー並に優れたSi結晶層を得るうえで、生産性、均一性、制御性、経済性の面において卓越した方法を提供することができる。

【0124】特に、本発明によれば、単結晶シリコン薄層表面を研磨や、エッチングなどの該単結晶シリコン薄層を除去したりせずに、該表面を平坦化できるので、基板面内における単結晶シリコン薄層の膜厚のばらつきを低減できる。

【0125】更に本発明によれば、従来のSOIデバイスの利点を実現し、応用可能な半導体基板の作製方法を提案することができる。

【0126】また、本発明によれば、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、SIMOXの代替足り得る半導体基板の作製方法を提案することができる。

【0127】本発明によれば、元々良質な単結晶Si基板を出発材料として、単結晶層を表面にのみに残して下部のSi基板を化学的に除去して光透過性絶縁物基板上に移設させるものであり、実施例にも詳細に記述したように、多数処理を短時間に行うことが可能となり、その

生産性と経済性に多大の進歩がある。

【図面の簡単な説明】

【図1】本発明の工程を説明するための模式図である。

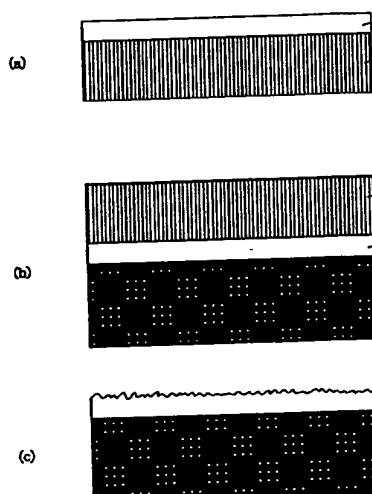
【図2】多孔質と非多孔質Siのエッティング特性を示すグラフ図である。

【図3】本発明の工程を説明するための模式図である。

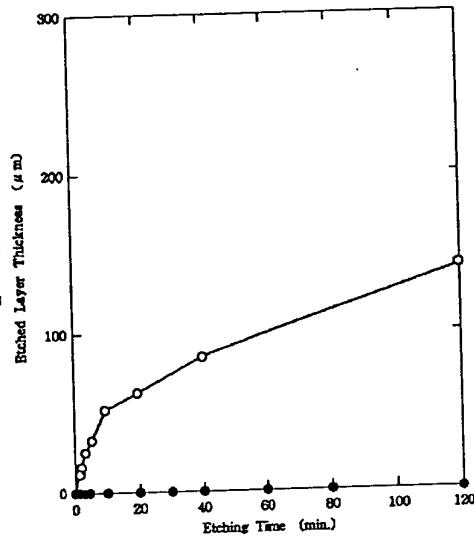
【図4】本発明の工程を説明するための模式図である。

【図5】非多孔質シリコン単結晶の表面の結晶の構造を示す図である。

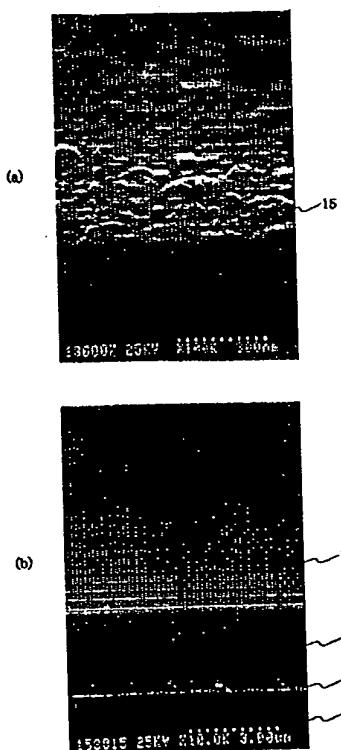
【図1】



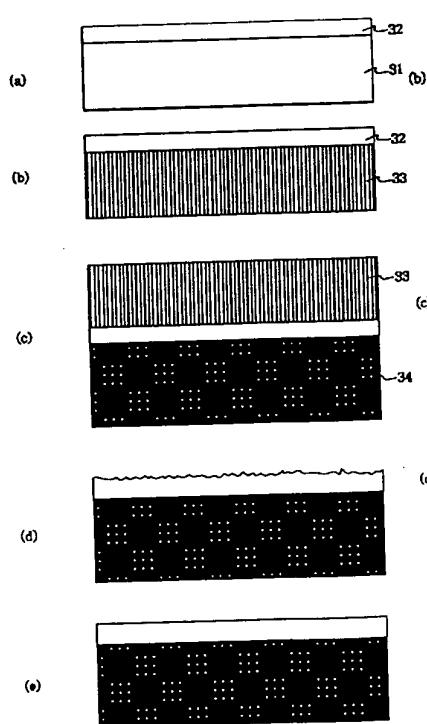
【図2】



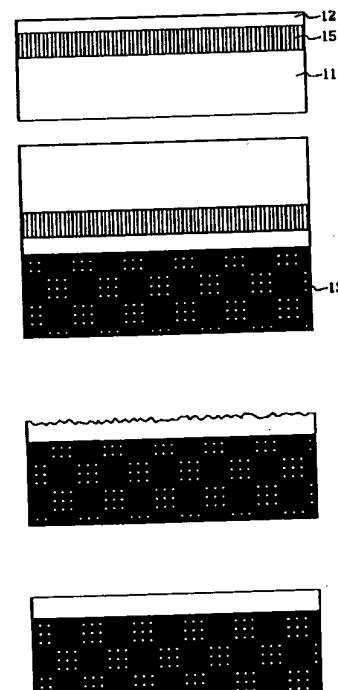
【図5】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 5

H 01 L 21/76

識別記号 庁内整理番号

P 9169-4M

F I

技術表示箇所